

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177122

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 31/10

(21)Application number : 09-363338

(71)Applicant : NEC CORP

(22)Date of filing : 16.12.1997

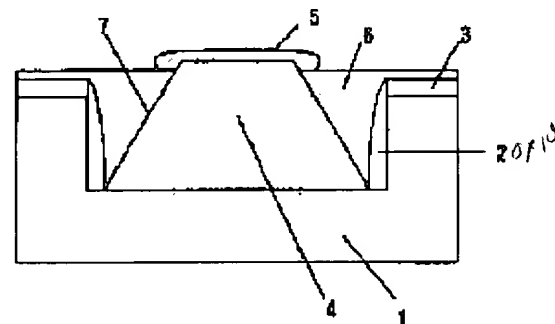
(72)Inventor : SUGIYAMA MITSUHIRO

## (54) SEMICONDUCTOR PHOTODETECTOR AND ITS MANUFACTURE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor photodetector for suppressing the increase of a leak current and the decline of junction breakdown strength by a simple method and a manufacturing method.

SOLUTION: This manufacturing method includes a process for forming a groove for which a side wall part is coated with a first silicon oxide film 2 on the main surface of the silicon substrate 1 of a first conducting type, the process for selectively forming a germanium single crystal layer 4 inside the groove so as to be higher than the main surface of the silicon substrate, the process for forming a second silicon oxide film or a silica-based coating film 6 on the entire surface, the process for exposing a part of the germanium single crystal layer by etching back the second silicon oxide film or the silica group coating film and the process for selectively growing the silicon layer 5 of a second conducting type on the exposed surface of the germanium single crystal layer.



## LEGAL STATUS

[Date of request for examination] 16.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number] 3011167

[Date of registration] 10.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor light sensitive cell which has the optical-absorption layer of germanium in a silicon substrate, and its manufacture method about a semiconductor light sensitive cell and its manufacture method.

[0002]

[Description of the Prior Art] The material with which the photodiode used as a semiconductor light sensitive cell for communication is used for an optical-absorption layer with light-receiving wavelength from the relation of light-receiving sensitivity differs. Since the light-receiving sensitivity in a long wavelength field goes up so that the band gap of this material is generally small, silicon (Si) is used on the wavelength of 1.0micro or less, and germanium (germanium) and an indium gallium arsenide (InGaAs) are often used by the so-called long wavelength region 1.0micro or more, for example.

[0003] by the way, accumulation with other circuit elements also with such material (germanium, InGaAs, etc.) expensive compared with silicon generally and used for the so-called long wavelength region 1.0 micrometers or more, and the high costs concerning a manufacture process -- difficult -- in addition -- and the done photodiode will also become expensive

[0004] Then, realization of a photodiode which is manufactured using a comparatively low cost silicon process, and has light-receiving sensitivity sufficient also by the long wavelength region was desired. Although for that direct deposition \*\*\*\*\* is good on a silicon substrate in the material which has light-receiving sensitivity at a long wavelength region like germanium, since lattice constants differ, generally these material and silicon are difficult a crystal growth on silicon.

[0005] As an example which solves this, Tatsumi and others is indicating the method of growing up a direct germanium single crystal on a silicon substrate, and the application to a photodiode (Japanese Patent Application No. 9-070933).

[0006] After this grows a thin germanium layer and grows very thin silicon or a SiGe layer on this on a silicon substrate, with heat treatment, it leaves the transposition which carried out localization only to silicon and the germanium interface, carries out the grid relief of the interior of a germanium layer completely, forms the thin germanium crystal official which lost penetration transposition completely, and grows the germanium single crystal of desired thickness on this.

[0007] The planar type photodiode by which the germanium single crystal layer used as an optical-absorption layer was directly formed all over the slot formed on the silicon substrate can be manufactured by growing up these the growth of all alternatively to a silicon oxide.

[0008] Drawing 11 shows the cross section of this photodiode. A slot with a depth of about 1 micrometer is formed into the N type silicon substrate 1 (substrate principal plane), and the germanium single crystal layer 4 is alternatively grown up to be a side attachment wall to about 0.8 micrometers and silicon oxides 2 and 3 after forming a silicon oxide 2. Furthermore, 0.1-micrometer selective growth of the P type silicon layer 12 as an anode electrode is carried out continuously.

[0009] Now, PiN diode is formed between the P type silicon layer 12, the germanium single crystal layer 4, and the N type silicon substrate 1.

[0010] Next, the optical fiber fixed slot 11 with a depth of about 75 micrometers is formed. If the optical fiber 9 of a single mode is fixed to this slot, exactly, core 10 portion of a fiber will be located in the longitudinal direction of the germanium single crystal layer 4, and will serve as the structure of reaching the germanium single crystal layer 4 whose incident light from a fiber is an optical-absorption layer.

[0011]

[Problem(s) to be Solved by the Invention] There are the following troubles in the above-mentioned conventional example. If a side attachment wall carries out EEPITAKISHARU growth of the germanium single crystal layer alternatively like the above-mentioned conventional example at a part for the slot covered by the silicon oxide 2, as shown in drawing 12 in practice, the facet 7 from which the silicon side of a groove bottom side and a field direction differ will be formed in a germanium single crystal layer lateral portion.

[0012] For example, when germanium is grown up to be the field (100) direction of silicon, the facet 7 of the field (311) direction of germanium arises at the angle of about 30 degrees to a base like drawing 12 . Since germanium hardly grows on this facet, if the selective growth of the P type silicon layer 12 is carried out succeeding the germanium single crystal layer 4, the N type silicon substrate 1 and the P type silicon layer 12 will be in the state near contact or it in the portion enclosed with O in drawing 12 .

[0013] That is, in the case of the planar type PiN photodiode which carried out the selective growth of the germanium single crystal layer as an optical-absorption layer all over the slot formed on the silicon substrate, contact or approach of an N type silicon field and a P type silicon field (an anode electrode and cathode electrode) was produced, and only junction pressure-proofing of an about [ 1V ] was obtained, but there was a problem of bringing about the increase in a leakage current and the fall of junction pressure-proofing.

[0014] The purpose of this invention solves the trouble of the above conventional examples, is a simple method, and is offering the semiconductor light sensitive cell which suppressed the increase in a leakage current, and the junction proof-pressure fall, and its manufacture method.

[0015]

[Means for Solving the Problem] In order to solve the aforementioned technical problem, in the semiconductor light sensitive cell of this invention, the slot where the side-attachment-wall portion was covered by the silicon oxide is formed in the silicon-substrate principal plane of the first conductivity type, a germanium single crystal layer is formed in the Mizouchi more highly than the aforementioned silicon-substrate principal plane, and it is characterized by the thing of the aforementioned germanium single crystal layer front face above the silicon-substrate principal plane for which the silicon layer of the second electrotyping is formed in part at least. Here, it is suitable for a germanium single crystal layer that it is an optical-absorption layer. Moreover, it can also consider as the composition in which the insulating layer filled up with the crevice between the silicon oxides and the aforementioned germanium single crystal layers which were formed in the side attachment wall of a slot is formed. Moreover, as an insulating layer, it can also form by the silica application film. Moreover, an insulating layer can also be formed by the silicon oxide. Furthermore, also let the first conductivity-type silicon substrate be an N type silicon substrate. On the other hand, the manufacture method of the semiconductor light sensitive cell of this invention The process which forms in the silicon-substrate principal plane of the first conductivity type the slot which covered the side-attachment-wall portion by the 1st silicon oxide, The process which forms a germanium single crystal layer in the Mizouchi alternatively until it becomes higher than a silicon-substrate principal plane, By carrying out etchback of the 2nd silicon oxide or the silica system application film to the presentation which forms the 2nd silicon oxide or a silica system application film in the whole surface It considered as the method including the process at which a part of germanium single crystal layer is exposed, and the process which grows up the silicon layer of the second conductivity type into the exposed aforementioned germanium single crystal layer front face alternatively. In this case, the polish process of the 2nd silicon oxide can also be performed before the process which carries out etchback of the 2nd silicon oxide. Moreover, about a polish process, until just before a part of germanium single crystal layer is exposed, it can also carry out.

[0016] Without performing a photolithography process, by the simple method, all over the slot formed on the silicon substrate, contact or approach of the N type silicon field of the planar type PiN photodiode which carried out the selective growth of the germanium single crystal layer as an optical-absorption layer, and a P type silicon field (an anode electrode and cathode electrode) can be avoided, and the increase in the current of a PiN photodiode and the fall of junction pressure-proofing will be suppressed by giving the above-mentioned means.

[0017]

[Embodiments of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained with reference to a drawing. Drawing 1 is the cross section of the semiconductor light sensitive cell concerning the gestalt of operation of this invention. the slot where the side attachment wall was covered by the silicon oxide 2 is formed in the N type silicon substrate 1, and the germanium single crystal layer 4 forms more highly than the principal plane of the N type silicon substrate 1 -- having -- in addition -- and the P type silicon layer 5 is formed in the portion exposed from the silica application film 6 For this reason, even if a facet 7 arises, the increase in a leakage current of a PiN photodiode

and a junction proof-pressure fall do not produce the N type silicon substrate 1 and the P type silicon layer 5, without the portion which contacts or approaches like the conventional example arising.

[0018] Next, the example shown in this drawing 1 is explained with reference to the order cross section of a process of drawing 2 - drawing 6.

[0019] First, like drawing 2, a silicon oxide 3 is used as a mask at the N type silicon substrate 1 of a field direction (100), and the slot of 1.0 micrometers of \*\*\*\* is formed by the dry etching method. Although the area of a slot changes with photodiodes to need, if it is a waveguide type photodiode using the single mode optical fiber, it is a rectangle with a width of face of 10 micrometers or more.

[0020] Next, a silicon oxide with a thickness of 0.2 micrometers is grown up to be the whole surface, and it leaves a silicon oxide 2 only to the side-attachment-wall section of a slot by the etchback method.

[0021] Then, the germanium single crystal layer 4 is alternatively grown up to silicon oxides 2 and 3 by about 0.2micrometers high dark circles like drawing 3 from the height of A-A' corresponding to a silicon-substrate 1 principal-plane top.

[0022] As for this grown method, it is desirable that it is how to indicate Tatsumi and others who stated in the conventional example. With namely, heat treatment after growing up a thin germanium layer (about 40nm), and growing up very thin silicon or a SiGe layer (1-2nm) on this on a silicon substrate It leaves the transposition which carried out localization only to silicon and the germanium interface, the grid relief of the thin interior of a germanium layer is carried out completely, the thin germanium crystal layer which lost penetration transposition completely is formed, and the germanium single crystal of desired thickness is grown up on this. At this time, the facet 7 of about 30 degrees is formed to a base like drawing 3.

[0023] next, . which applies the silica application film 6 to the whole surface like drawing 4 -- the silica application film 6 by which flattening was carried out is formed on the germanium single crystal layer 4 at the same time this lays underground the depression (crevice) of the shape of V character produced in the facet 7 by the silica application film 6

[0024] Then, about 0.1 micrometers of upper parts of the germanium single crystal layer 4 are exposed like drawing 5 by dry etching or wet etching.

[0025] The structure of drawing 1 is completed by carrying out the selective growth of about about 0.1 micrometers of the P type silicon layers 5 to the front face of the exposed germanium single crystal 4 to the silica application film 6 in this state, as shown in drawing 6.

[0026] In order that the feature of the gestalt of this operation may form the P type silicon layer 5 only in the upper part of the germanium single crystal layer 4 of the trapezoidal shape which the facet 7 generated It is forming the germanium single crystal layer 4 more highly than the front face of the N type silicon substrate 1. the silica application film 6 an application and only by carrying out etchback The surface exposure of the germanium single crystal layer 4 into which laying under the ground of the depression of the shape of V character generated by the facet 7 and the P type silicon layer 5 are grown up is formed simultaneous and simple, and the N type silicon substrate 1 and the P type silicon layer 5 do not contact or approach like the conventional example.

[0027] Therefore, since the germanium single crystal layer 4 surely exists in \*\* of the N type silicon substrate 1 and the P type silicon layer 5 and it moreover has a uniform electric-field distribution, in the conventional example, to junction pressure-proofing being obtained only about 1V, junction pressure-proofing of an about [ 10V ] is obtained easily, and it is in the increase in a leakage current of a PiN photodiode and a junction proof-pressure fall fully being suppressed.

[0028] a surface exposure of the germanium single crystal layer 4 sake -- general -- photolithography technology -- for example, a silica application film -- contact -- although there is also a method of opening a hole, when for that the increase in a process of number processes, such as photo-mask creation, a photoresist application, exposure, development, and resist-ashing, is expected and the increase of these manufacturing costs is taken into consideration, the method of a more simple thing is [ being structure in this example, and ] clearer

[0029] Next, the gestalt of other operations of this invention is explained with reference to the order cross section of a process shown in drawing 7 - drawing 10.

[0030] The middle is the same even as drawing 3 of the gestalt of previous operation. Then, about 0.6 micrometers of silicon oxides 8 by CVD are made to deposit like drawing 7. Although flat nature is missing compared with an application film like a previous example in the silicon-oxide growth by CVD, the depression of the shape of V character generated in the facet 7 can be laid underground.

[0031] Next, like drawing 8, by the grinding method, the front face of the germanium single crystal layer 4 grinds a silicon oxide 8, until just before exposing, and it performs flattening.

[0032] furthermore, a sentiment -- dirty or dry cleaning -- it is dirty and etching removal of the silicon oxide 8 is carried

out, like drawing 9 , the front face of the germanium single crystal layer 4 is exposed, it becomes like drawing 10 by carrying out the selective growth of about about 0.1 micrometers of the P type silicon layers 5 to a silicon oxide 8 after this like a previous example, and the almost same structure as a previous example is acquired

[0033] although the gestalt and fundamental effect of previous operation are the same, the structure of this invention is more easily [ than the gestalt of previous operation ] realizable with the gestalt of this operation by that growth thicker than the silica application film in the gestalt of previous operation uses an easy CVD silicon oxide, and combining the grinding method whose technical level improved recently

[0034]

[Effect of the Invention] this invention is a simple method like in the planar type PiN photodiode which carried out the selective growth of the germanium single crystal layer as an optical-absorption layer all over the slot which was described above, and which was formed on the silicon substrate. Contact or approach of an N type silicon field and a P type silicon field (an anode electrode and cathode electrode) can be avoided, and the increase in the leakage current of a PiN photodiode and the fall of junction pressure-proofing can be suppressed, without being based on the method of costs, such as photo lithography, requiring.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor light sensitive cell which the slot where the side-attachment-wall portion was covered by the silicon oxide is formed in the silicon-substrate principal plane of the first conductivity type, and a germanium single crystal layer is formed in the Mizouchi more highly than the aforementioned silicon-substrate principal plane, and is characterized by the thing of the aforementioned germanium single crystal layer front face above the silicon-substrate principal plane for which the silicon layer of the second electrotyping is formed in part at least.

[Claim 2] The semiconductor light sensitive cell according to claim 1 characterized by the aforementioned germanium single crystal layer being an optical-absorption layer.

[Claim 3] The semiconductor light sensitive cell according to claim 1 or 2 characterized by forming the insulating layer filled up with the crevice between the silicon oxides and the aforementioned germanium single crystal layers which were formed in the side attachment wall of the aforementioned slot.

[Claim 4] The semiconductor light sensitive cell according to claim 3 characterized by forming the aforementioned insulating layer by the silica application film.

[Claim 5] The semiconductor light sensitive cell according to claim 3 characterized by forming the aforementioned insulating layer by the silicon oxide.

[Claim 6] The semiconductor light sensitive cell according to claim 1 to 5 characterized by the aforementioned first conductivity-type silicon substrate being an N type silicon substrate.

[Claim 7] The manufacture method of the semiconductor light sensitive cell characterized by what is characterized by providing the following. The process which forms in the silicon-substrate principal plane of the first conductivity type the slot which covered the side-attachment-wall portion by the 1st silicon oxide. The process which forms a germanium single crystal layer in the Mizouchi alternatively until it becomes higher than the aforementioned silicon-substrate principal plane. Presentation which forms the 2nd silicon oxide or a silica system application film in the whole surface. The process at which a part of aforementioned germanium single crystal layer is exposed by carrying out etchback of the 2nd silicon oxide of the above, or the silica system application film, and the process which grows up the silicon layer of the second conductivity type into the exposed aforementioned germanium single crystal layer front face alternatively.

[Claim 8] The manufacture method of the semiconductor light sensitive cell according to claim 7 characterized by performing the polish process of the 2nd silicon oxide before the process which carries out etchback of the 2nd silicon oxide of the above.

[Claim 9] The aforementioned polish process is the manufacture method of the semiconductor light sensitive cell according to claim 8 characterized by carrying out until just before a part of germanium single crystal layer is exposed.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177122

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 31/10

識別記号

F I  
H 0 1 L 31/10

A

審査請求 有 請求項の数 9 F D (全 7 頁)

(21) 出願番号 特願平9-363338

(22) 出願日 平成9年(1997)12月16日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 杉山 光弘

東京都港区芝五丁目7番1号 日本電気株式会社内

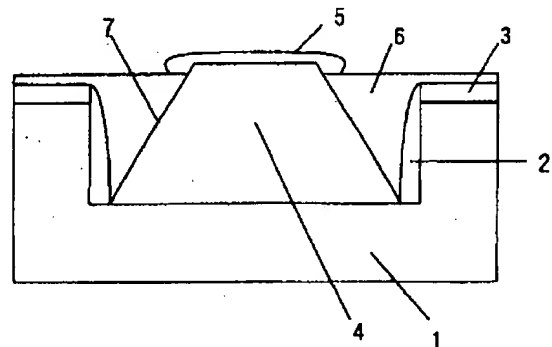
(74) 代理人 弁理士 堀 城之

(54) 【発明の名称】 半導体光検出器及びその製造方法

(57) 【要約】

【課題】 簡便な方法で、リーク電流の増加と接合耐圧低下を抑制した半導体光検出器及びその製造方法を提供する。

【解決手段】 第一導電型のシリコン基板1主面に、側壁部分を第1シリコン酸化膜2で覆った溝を形成する工程と、その溝内にゲルマニウム単結晶層4をシリコン基板主面より高くなるまで選択的に形成する工程と、全面に第2シリコン酸化膜8、またはシリカ系塗布膜6を形成する工程と、第2シリコン酸化膜、またはシリカ系塗布膜をエッチバックすることで、ゲルマニウム単結晶層の一部を露出させる工程と、露出した前記ゲルマニウム単結晶層表面に第二導電型のシリコン層5を選択的に成長させる工程とを含む方法とした。





## 【特許請求の範囲】

【請求項1】 第一導電型のシリコン基板主面に、側壁部分がシリコン酸化膜で覆われた溝が形成され、その溝内に、ゲルマニウム単結晶層が前記シリコン基板主面より高く形成され、そのシリコン基板主面より上部の前記ゲルマニウム単結晶層表面の少なくとも一部に、第二電型のシリコン層が形成されていることを特徴とする半導体光検出器。

【請求項2】 前記ゲルマニウム単結晶層が光吸収層であることを特徴とする請求項1記載の半導体光検出器。

【請求項3】 前記溝の側壁に形成したシリコン酸化膜と前記ゲルマニウム単結晶層との間の隙間を充填する絶縁層が形成されていることを特徴とする、請求項1又は2記載の半導体光検出器。

【請求項4】 前記絶縁層がシリカ塗布膜で形成されていることを特徴とする、請求項3記載の半導体光検出器。

【請求項5】 前記絶縁層がシリコン酸化膜で形成されていることを特徴とする、請求項3記載の半導体光検出器。

【請求項6】 前記第一導電型シリコン基板がN型シリコン基板であることを特徴とする、請求項1～5記載の半導体光検出器。

【請求項7】 第一導電型のシリコン基板主面に、側壁部分を第1シリコン酸化膜で覆った溝を形成する工程と、その溝内にゲルマニウム単結晶層を前記シリコン基板主面より高くなるまで選択的に形成する工程と、全面に第2シリコン酸化膜、またはシリカ系塗布膜を形成する上程と、前記第2シリコン酸化膜、またはシリカ系塗布膜をエッチバックすることで、前記ゲルマニウム単結晶層の一部を露出させる工程と、露出した前記ゲルマニウム単結晶層表面に第二導電型のシリコン層を選択的に成長させる工程とを含む、ことを特徴とする半導体光検出器の製造方法。

【請求項8】 前記第2シリコン酸化膜をエッチバックする工程の前に、その第2シリコン酸化膜の研磨工程を行うことを特徴とする、請求項7記載の半導体光検出器の製造方法。

【請求項9】 前記研磨工程は、ゲルマニウム単結晶層の一部が露出する直前まで行うことを特徴とする、請求項8記載の半導体光検出器の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体光検出器及びその製造方法に関し、特にシリコン基板中にゲルマニウムの光吸収層を持つ半導体光検出器およびその製造方法に関する。

## 【0002】

【従来の技術】通信用半導体光検出器として使われるフォトダイオードは、受光感度の関係から、受光波長によ

り光吸収層に使われる材料が異なる。一般にこの材料のバンドギャップが小さいほど長波長領域での受光感度が上がるので、例えば1.0 $\mu$ m以下の波長ではシリコン(Si)が、1.0 $\mu$ m以上のいわゆる長波長帯ではゲルマニウム(Ge)やインジウムガリウムヒ素(InGaAs)がよく使われる。

【0003】ところで、1.0 $\mu$ m以上のいわゆる長波長帯に使われるこれらの材料(Ge、InGaAs等)は一般にシリコンに比べ高価であり、また製造プロセスにかかる費用も高く、他の回路素子との集積も困難で、なお且つ出来上がったフォトダイオードも高価なものとなる。

【0004】そこで、比較的低コストなシリコンプロセスを使って製造され、且つ長波長帯でも十分な受光感度をもつフォトダイオードの実現が望まれていた。このためには、シリコン基板上にゲルマニウムのような長波長帯に受光感度のある材料を直接堆積すればよいが、一般にこれら材料とシリコンとは格子定数が異なるので、シリコン上には結晶成長が困難である。

20 【0005】これを解決する一例として、辰巳らは、シリコン基板上に直接ゲルマニウム単結晶を成長する方法と、フォトダイオードへの応用を開示している(特願平9-070933)。

【0006】これは、シリコン基板上に薄いゲルマニウム層を成長し、この上に極めて薄いシリコンまたはSiGe層を成長した後、熱処理により、シリコンとゲルマニウム界面にのみ局在した転位を残し、ゲルマニウム層内部を完全に格子緩和させ、貫通転位を完全になくした薄いゲルマニウム結晶官を形成し、この上に所望の厚さのゲルマニウム単結晶の成長を行うものである。

30 【0007】この成長すべてを、シリコン酸化膜に対して選択的に成長を行うことによって、シリコン基板上に形成した溝中に、光吸収層となるゲルマニウム単結晶層が直接形成された、プレーナ型のフォトダイオードが製造可能である。

【0008】図11はこのフォトダイオードの断面図を示したものである。N型シリコン基板1中(基板主面)に約1 $\mu$ mの深さの溝を形成し、側壁にシリコン酸化膜2を形成後、ゲルマニウム単結晶層4を約0.8 $\mu$ m、シリコン酸化膜2、3に対して選択的に成長する。更に連続して、アノード電極としてのP型シリコン層12を0.1 $\mu$ m選択成長する。

【0009】これで、P型シリコン層12、ゲルマニウム単結晶層4、N型シリコン基板1の間でPINダイオードが形成される。

【0010】次に、深さ約75 $\mu$ mの光ファイバ固定溝11を形成する。シングルモードの光ファイバ9をこの溝に固定すると、ちょうどファイバのコア10部分がゲルマニウム単結晶層4の横方向に位置し、ファイバからの入射光が光吸収層であるゲルマニウム単結晶層4に達

する構造となる。

【0011】

【発明が解決しようとする課題】上記従来例には、以下のような問題点がある。上記従来例のように、側壁がシリコン酸化膜2で覆われた溝部分にゲルマニウム単結晶層を選択的にエピタキシャル成長すると、実際は図12に示すように、ゲルマニウム単結晶層側面部に溝底面のシリコン面と面方位の異なるファセット7が形成されてくる。

【0012】例えば、シリコンの(100)面方位にゲルマニウムを成長した場合、図12のように底面に対して約30度の角度でゲルマニウムの(311)面方位のファセット7が生じる。このファセット上にはゲルマニウムはほとんど成長しないので、ゲルマニウム単結晶層4に連続してP型シリコン層12を選択成長すると、図12中の○で囲んだ部分でN型シリコン基板1とP型シリコン層12が接触もしくはそれに近い状態になる。

【0013】すなわち、シリコン基板上に形成した溝中に、光吸収層としてのゲルマニウム単結晶層を選択成長したプレーナ型のPiNフォトダイオードの場合、N型シリコン領域とP型シリコン領域(アノード電極とカソード電極)の接触もしくは接近を生じ、1V程度の接合耐圧しか得られず、リーク電流の増加、接合耐圧の低下をもたらすという問題が有った。

【0014】本発明の目的は、以上のような従来例の問題点を解決し、簡便な方法で、リーク電流の増加と接合耐圧低下を抑制した半導体光検出器及びその製造方法を提供することである。

【0015】

【課題を解決するための手段】前記課題を解決するため、本発明の半導体光検出器では、第一導電型のシリコン基板主面に、側壁部分がシリコン酸化膜で覆われた溝が形成され、その溝内に、ゲルマニウム単結晶層が前記シリコン基板主面より高く形成され、そのシリコン基板主面より上部の前記ゲルマニウム単結晶層表面の少なくとも一部に、第二導電型のシリコン層が形成されていることを特徴とする。ここで、ゲルマニウム単結晶層は光吸収層であるのが好適である。また、溝の側壁に形成したシリコン酸化膜と前記ゲルマニウム単結晶層との間の隙間を充填する絶縁層が形成されている構成とすることもできる。また、絶縁層としては、シリカ塗布膜で形成することもできる。さらに、第一導電型シリコン基板をN型シリコン基板とすることもできる。一方、本発明の半導体光検出器の製造方法は、第一導電型のシリコン基板主面に、側壁部分を第1シリコン酸化膜で覆った溝を形成する工程と、その溝内にゲルマニウム単結晶層をシリコン基板主面より高くなるまで選択的に形成する工程と、全面に第2シリコン酸化膜、またはシリカ系塗布膜を形成する上程と、第2シリコン酸化膜、またはシリカ

系塗布膜をエッチバックすることで、ゲルマニウム単結晶層の一部を露出させる工程と、露出した前記ゲルマニウム単結晶層表面に第二導電型のシリコン層を選択的に成長させる工程とを含む方法とした。その場合、第2シリコン酸化膜をエッチバックする工程の前に、その第2シリコン酸化膜の研磨工程を行うこともできる。また、研磨工程については、ゲルマニウム単結晶層の一部が露出する直前まで行うこともできる。

【0016】上記手段を施すことで、フォトリソグラフィ工程を行うことなく、簡便な方法で、シリコン基板上に形成した溝中に、光吸収層としてのゲルマニウム単結晶層を選択成長したプレーナ型のPiNフォトダイオードのN型シリコン領域とP型シリコン領域(アノード電極とカソード電極)の接触もしくは接近を避けることができ、PiNフォトダイオードの電流の増加、接合耐圧の低下が抑制されることになる。

【0017】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。図1は本発明の実施の形態に係る半導体光検出器の断面図である。N型シリコン基板1に、側壁がシリコン酸化膜2で覆われた溝が形成され、ゲルマニウム単結晶層4がN型シリコン基板1の主面より高く形成され、尚かつシリカ塗布膜6から露出した部分にP型シリコン層5が形成されている。このため、ファセット7が生じて、N型シリコン基板1とP型シリコン層5は従来例のように接触ないし接近する部分が生じることなく、PiNフォトダイオードのリーク電流増加、接合耐圧低下が生じない。

【0018】次に、この図1に示す例について、図2～図6の工程順断面図を参照して説明する。

【0019】まず、図2のように、面方位(100)のN型シリコン基板1にシリコン酸化膜3をマスクにして、ドライエッチング法により深さ1.0μmの溝を形成する。溝の面積は必要とするフォトダイオードによって異なるが、シングルモード光ファイバを使った導波路型フォトダイオードであれば、幅10μm以上の矩形である。

【0020】次に、厚さ0.2μmのシリコン酸化膜を全面に成長し、エッチバック法で溝の側壁部のみにシリコン酸化膜2を残す。

【0021】続いて、図3のように、ゲルマニウム単結晶層4をシリコン基板1主面上に対応するA-A'の高さより約0.2μm高くまで、シリコン酸化膜2、3に対して選択的に成長する。

【0022】この成長法は、従来例で述べた辰巳らの開示している方法であることが望ましい。すなわち、シリコン基板上に薄いゲルマニウム層(約40nm)を成長し、この上に極めて薄いシリコンまたはSiGe層(1～2nm)を成長した後、熱処理により、シリコンとゲルマニウム界面にのみ局在した転位を残し、薄いゲルマ

ニウム層内部を完全に格子緩和させ、貫通転位を完全になくした薄いゲルマニウム単結晶層を形成し、この上に所望の厚さのゲルマニウム単結晶の成長を行うものである。このとき、図3のように底面に対して約30度のファセット7が形成される。

【0023】次に、図4のように、全面にシリカ塗布膜6を塗布する。これにより、ファセット7で生じたV字状の凹み（隙間）をシリカ塗布膜6で埋設すると同時にゲルマニウム単結晶層4上に平坦化されたシリカ塗布膜6が形成される。

【0024】その後、ドライエッチング又はウェットエッチングにより、図5のように、ゲルマニウム単結晶層4の上部0.1 $\mu$ m程度を露出させる。

【0025】この状態で、露出したゲルマニウム単結晶層4の表面に、図6に示すようにP型シリコン層5をシリカ塗布膜6に対して約0.1 $\mu$ mほど選択成長することで、図1の構造が完成する。

【0026】本実施の形態の特徴は、ファセット7の発生した台形状のゲルマニウム単結晶層4の上部のみにP型シリコン層5を形成するために、ゲルマニウム単結晶層4をN型シリコン基板1の表面よりも高く形成することであり、シリカ塗布膜6を塗布・エッチバックするだけで、ファセット7により発生したV字状の凹みの埋設とP型シリコン層5を成長させるゲルマニウム単結晶層4の表面露出を同時に且つ簡便に形成し、N型シリコン基板1とP型シリコン層5が従来例のように接触ないし接近することがない。

【0027】したがって、N型シリコン基板1とP型シリコン層5の間には必ずゲルマニウム単結晶層4が存在し、しかも一様な電界分布を持つから、従来例では1V程度しか接合耐圧が得られないのに対し、10V程度の接合耐圧が容易に得られ、PiNフォトダイオードのリーク電流増加、接合耐圧低下が十分に抑制されることにある。

【0028】ゲルマニウム単結晶層4の表面露出のためには、一般にはフォトリソグラフィ技術によって、たとえば、シリカ塗布膜にコンタクト孔を開ける方法もあるが、このためにはフォトマスク作成やフォトレジスト塗布、露光、現像、レジストアッシング等数工程の工程増加が見込まれ、これらの製造コスト増を考慮した場合、本例での構造、及び方法の方が、より簡便であることは明らかである。

【0029】次に、本発明の他の実施の形態について、図7～図10に示す工程順断面図を参照して説明する。

【0030】途中までは先の実施の形態の図3までと同じである。この後、図7のように、CVD法によるシリコン酸化膜8を約0.6 $\mu$ m堆積させる。CVD法でのシリコン酸化膜成長では先の例のような塗布膜と比べて、平坦性に欠けるが、ファセット7で発生したV字状の凹みは埋設可能である。

【0031】次に、図8のように、研磨法により、ゲルマニウム単結晶層4の表面は露出する直前までシリコン酸化膜8を研磨し、平坦化を行う。

【0032】更に、ウェットエッチまたはドライエッチでシリコン酸化膜8をエッチング除去し、図9のように、ゲルマニウム単結晶層4の表面を露出させ、この後、先の例と同様P型シリコン層5をシリコン酸化膜8に対して約0.1 $\mu$ mほど選択成長することで図10のようになり、先の例とほぼ同様な構造を得る。

10 【0033】この実施の形態では、先の実施の形態と基本的効果は同じであるが、先の実施の形態でのシリカ塗布膜より、厚い成長が容易なCVDシリコン酸化膜を使うことと、最近技術水準が向上した研磨法を組み合わせることで、先の実施の形態より容易に本発明の構造を実現可能である。

【0034】

【発明の効果】以上述べたように、本発明は、シリコン基板上に形成した溝中に、光吸収層としてのゲルマニウム単結晶層を選択成長したプレーナ型のPiNフォトダイオードにおいて、簡便な方法で、N型シリコン領域とP型シリコン領域（アノード電極とカソード電極）の接触もしくは接近を避けることができ、フォトリソグラフィなどのコストのかかる方法によらずに、PiNフォトダイオードのリーク電流の増加、接合耐圧の低下を抑制することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体光検出器の断面図である。

30 【図2】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図3】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図4】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図5】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図6】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

40 【図7】本発明の他の実施の形態に係る半導体光検出器の工程順断面図である。

【図8】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図9】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図10】本発明の実施の形態に係る半導体光検出器の工程順断面図である。

【図11】従来例の断面図である。

【図12】従来例の課題を説明するための拡大断面図である。

50 【符号の説明】

(5)

特開平11-177122

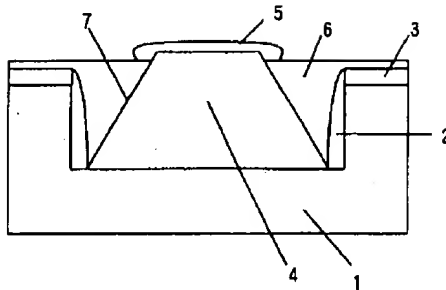
7

8

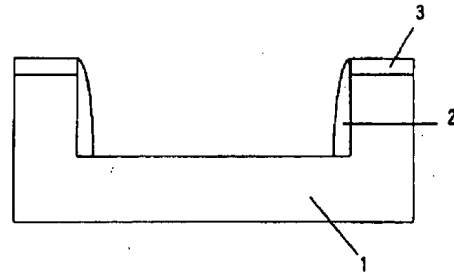
- 1 N型シリコン基板
- 2 シリコン酸化膜
- 3 シリコン酸化膜
- 4 ゲルマニウム単結晶層
- 5 P型シリコン層
- 6 シリカ塗布膜

- 7 ファセット
- 8 シリコン酸化膜
- 9 光ファイバ
- 10 コア
- 11 光ファイバ固定溝
- 12 P型シリコン層

【図1】

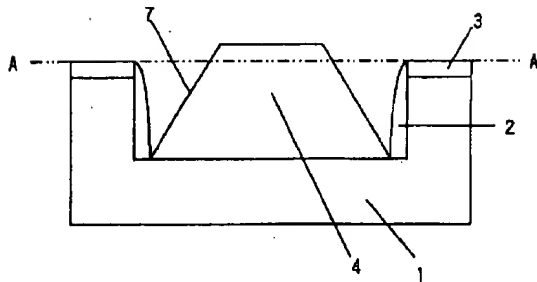


【図2】

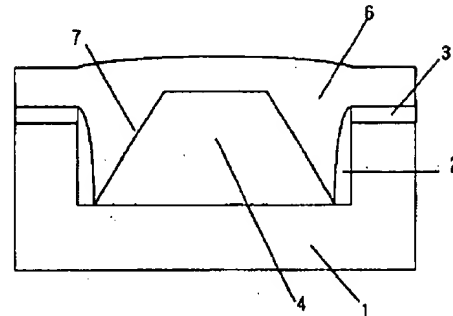


- |               |              |
|---------------|--------------|
| 1. N型シリコン基板   | 7. ファセット     |
| 2. シリコン酸化膜    | 8. シリコン酸化膜   |
| 3. シリコン酸化膜    | 9. 光ファイバ     |
| 4. ゲルマニウム単結晶層 | 10. コア       |
| 5. P型シリコン層    | 11. 光ファイバ固定溝 |
| 6. シリカ塗布膜     | 12. P型シリコン層  |

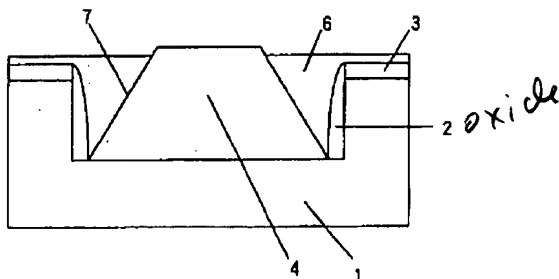
【図3】



【図4】

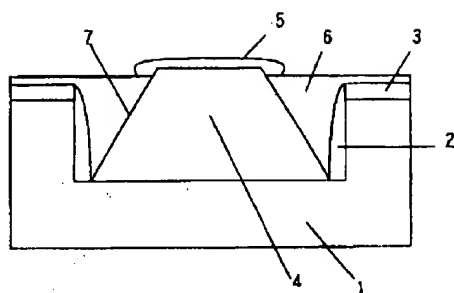


【図5】



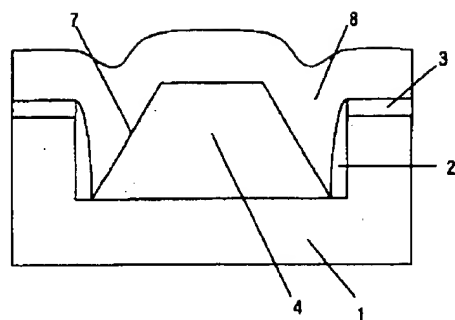
- |               |              |
|---------------|--------------|
| 1. N型シリコン基板   | 7. ファセット     |
| 2. シリコン酸化膜    | 8. シリコン酸化膜   |
| 3. シリコン酸化膜    | 9. 光ファイバ     |
| 4. ゲルマニウム単結晶層 | 10. コア       |
| 5. P型シリコン層    | 11. 光ファイバ固定溝 |
| 6. シリカ塗布膜     | 12. P型シリコン層  |

【図6】

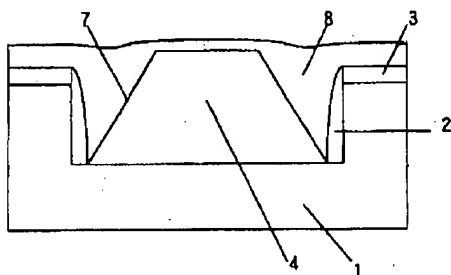


- |               |              |
|---------------|--------------|
| 1. N型シリコン基板   | 7. ファセット     |
| 2. シリコン酸化膜    | 8. シリコン酸化膜   |
| 3. シリコン酸化膜    | 9. 光ファイバ     |
| 4. ゲルマニウム単結晶層 | 10. コア       |
| 5. P型シリコン層    | 11. 光ファイバ固定溝 |
| 6. シリカ塗布膜     | 12. P型シリコン層  |

【図7】

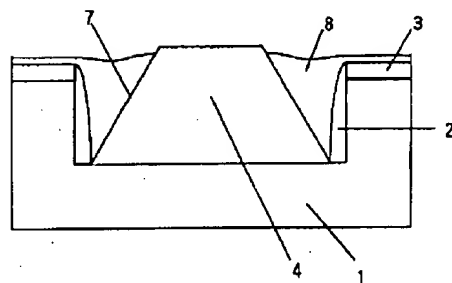


【図8】

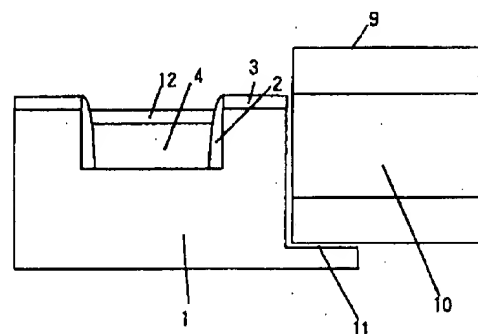


- |               |              |
|---------------|--------------|
| 1. N型シリコン基板   | 7. ファセット     |
| 2. シリコン酸化膜    | 8. シリコン酸化膜   |
| 3. シリコン酸化膜    | 9. 光ファイバ     |
| 4. ゲルマニウム単結晶層 | 10. コア       |
| 5. P型シリコン層    | 11. 光ファイバ固定溝 |
| 6. シリカ塗布膜     | 12. P型シリコン層  |

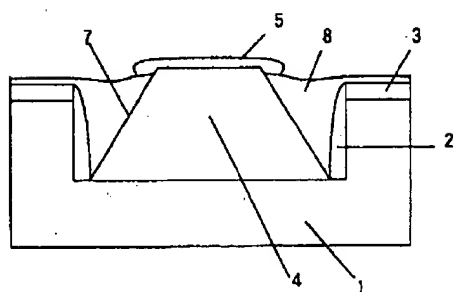
【図9】



【図11】



【図10】



- |               |              |
|---------------|--------------|
| 1. N型シリコン基板   | 7. ファセット     |
| 2. シリコン酸化膜    | 8. シリコン酸化膜   |
| 3. シリコン酸化膜    | 9. 光ファイバ     |
| 4. ゲルマニウム単結晶層 | 10. コア       |
| 5. P型シリコン層    | 11. 光ファイバ固定溝 |
| 6. シリカ塗布膜     | 12. P型シリコン層  |

1. N型シリコン基板
2. シリコン酸化膜
3. シリコン酸化膜
4. ゲルマニウム単結晶層
5. P型シリコン層
6. シリカ塗布膜
7. ファセット
8. シリコン酸化膜
9. 光ファイバ
10. コア
11. 光ファイバ固定溝
12. P型シリコン層